

特開平9-325173

(43)公開日 平成9年(1997)12月16日

(51) Int Cl. 6  
G 0 1 R 31/26  
G 0 1 V 8/20  
8/12  
H 0 1 L 23/32

識別記号 庁内整理番号

序内整理番号

F I

G 01 R 31/26  
H 01 L 23/32  
G 01 V 9/04

Z  
A  
Q  
H

z

A

Q

601V 9/04

技術表示箇所

審査請求 未請求 請求項の数10 8L (全 12 頁)

(21)出願番号 特願平8-324151  
(22)出願日 平成8年(1996)12月4日  
(31)優先権主張番号 特願平8-83430  
(32)優先日 平8(1996)4月5日  
(33)優先権主張国 日本(JP)

(71)出願人 390005175  
株式会社アドバンテスト  
東京都練馬区旭町1丁目32番1号

(72)発明者 中村 浩人  
東京都練馬区旭町1丁目32番1号 株式会社アドバンテスト内

(72)発明者 渡辺 豊  
東京都練馬区旭町1丁目32番1号 株式会社アドバンテスト内

(72)発明者 矢部 利男  
東京都練馬区旭町1丁目32番1号 株式会社アドバンテスト内

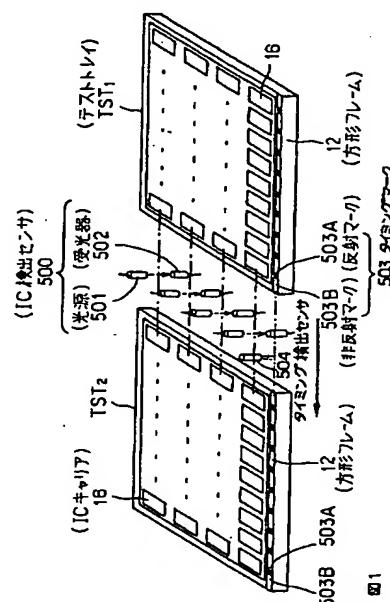
(74)代理人 弁理士 草野 順 (外1名)

(54)【発明の名稱】 I.C.試験装置

(57) 【要約】

【課題】 汎用トレイからテストトレイにICを積み換えてICをテストするIC試験装置において、試験済のICをテストトレイから汎用トレイに戻す際にテストトレイにICを取り残した場合、その取り残されたICの上に更に新たなICを積ねてテスト部に送り込むことのないIC試験装置及びICを積み込んだ状態のテストトレイからICが落下して紛失したことを検出することができるIC試験装置を提供する。

【解決手段】 アンローダ部とローダ部との間、或いはローダ部とテスト部の間、更にはテスト部とアンローダ部の間にテストトレイ上に IC が存在するか否かを検出する IC 検出センサを設け、この IC 検出センサによってテストトレイ上の IC 収納部が空であるか否かを監視する。



## 【特許請求の範囲】

【請求項1】 ローダ部において被試験ICを汎用トレイからテストトレイに積み換え、テスト部においてICを試験し、試験終了後はアンローダ部でテストトレイから汎用トレイに試験済ICを積み換え、空のテストトレイをアンローダ部からローダ部に送り込んで被試験ICをテストトレイに積み込むことを繰返すIC試験装置において、

アンローダ部とローダ部との間にテストトレイ上にICが存在するか否かを監視するIC検出センサを設け、ローダ部に送り込むテストトレイ上にICが取り残されている状態を検出できるように構成したことを特徴とするIC試験装置。

【請求項2】 ローダ部において被試験ICを汎用トレイからテストトレイに積み換え、テスト部においてICを試験し、試験終了後はアンローダ部でテストトレイから汎用トレイに試験済ICを積み換え、空のテストトレイをアンローダ部からローダ部に送り込んで被試験ICをテストトレイに積み込むことを繰返すIC試験装置において、

上記テスト部と上記アンローダ部との間のテストトレイ搬送路上にテストトレイ上のICの有無を検出するIC検出センサを設け、上記テスト部から上記アンローダ部に向かって搬送されるテストトレイに、空のIC収納部が存在するか否かを検出することを特徴とするIC試験装置。

【請求項3】 ローダ部において被試験ICを汎用トレイからテストトレイに積み換え、テスト部においてICを試験し、試験終了後はアンローダ部でテストトレイから汎用トレイに試験済ICを積み換え、空のテストトレイをアンローダ部からローダ部に送り込んで被試験ICをテストトレイに積み込むことを繰返すIC試験装置において、

上記ローダ部とテスト部との間のテストトレイ搬送路上にテストトレイ上のICの有無を検出するIC検出センサを設け、上記ローダ部から上記テスト部に向かって搬送されるテストトレイに、空のIC収納部が存在するか否かを検出することを特徴とするIC試験装置。

【請求項4】 請求項1記載のIC試験装置に請求項2記載のIC検出センサを付加したことを特徴とするIC試験装置。

【請求項5】 請求項1記載のIC試験装置に請求項3記載のIC検出センサを付加したことを特徴とするIC試験装置。

【請求項6】 請求項1記載のIC試験装置に請求項2及び3記載のIC検出センサを付加したことを特徴とするIC試験装置。

【請求項7】 請求項1乃至6記載のIC試験装置の何れかにおいてIC検出センサはテストトレイの移動方向と直交する向にテストトレイ上のIC収納部の配列個数

分だけ設け、更にその配列線上にタイミング検出センサを設け、このタイミング検出センサにより、テストトレイに設けたタイミングマークにより上記IC収納部の配列線上の位置を検出し、上記タイミングマークに同期して上記IC検出センサの状態を読み込んでICの有無を判定するように構成したことを特徴とするIC試験装置。

【請求項8】 請求項7記載のIC試験装置において、上記タイミングマークは上記テストトレイの進行方向と平行するフレームに設けた光の反射マークとしたことを特徴とするIC試験装置。

【請求項9】 請求項7記載のIC試験装置において、上記タイミングマークは上記テストトレイの進行方向と平行するフレームに設けた光を透過させるスリットによって構成したことを特徴とするIC試験装置。

【請求項10】 請求項7記載のIC試験装置において、上記タイミングマークは上記テストトレイに装着したICキャリアに形成される位置決用ピン挿入孔を利用したことを特徴としたIC試験装置。

## 20 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 この発明は半導体集積回路素子(以下ICと称す)を試験するIC試験装置に関する。更に詳しくはICを搬送し、テストヘッドに電気的に接触させ、試験装置本体に試験を行なわせ、試験後にICをテストヘッドから搬出し、試験結果に基づいて良品、不良品に仕分けを行なう、いわゆるハンドラと呼ばれる技術分野の発明である。

## 【0002】

30 【従来の技術】 図9乃至図13を用いて従来のIC試験装置の概略の構成を説明する。図9はIC試験装置の略線的平面図を示す。図中100はテストヘッドを含むチャンバ部、200はこれから試験を行なう被試験ICを格納し、また試験済のICを分類して格納するIC格納部、300は被試験ICをチャンバ部100に送り込むローダ部、400はチャンバ部100で試験が行なわれた試験済のICを分類して取出すアンローダ部、TSTはローダ部300で被試験ICが積み込まれてチャンバ部100に送り込まれ、チャンバ部100でICを試験し、試験済のICをアンローダ部400に運び出すIC搬送用のテストトレイを示す。

【0003】 チャンバ部100はテストトレイTSTに積み込まれた被試験ICに目的とする高温又は低温の温度ストレスを与える恒温槽101と、この恒温槽101で熱ストレスが与えられた状態にあるICをテストヘッドに接触させるテストチャンバ102と、テストチャンバ102で試験されたICから、与えられた熱ストレスを除去する除熱槽103とによって構成される。つまり、恒温槽101で高温を印加した場合は送風により冷却し、室温に戻してアンローダ部400に搬出する。ま

た恒温槽101で例えば-30℃程度の低温を印加した場合は温風乃至はヒータ等で加熱し、結露が生じない程度の温度に戻してアンローダ部400に搬出する。

【0004】恒温槽101及び除熱槽103はテストチャンバ102より上方に突出されて配置される。恒温槽101と除熱槽103の上部間に図5に示すように基板105が差し渡され、この基板105に例えばベルトコンベア方式のテストトレイ搬送手段108が装着され、このテストトレイ搬送手段108によってテストトレイTSTが、除熱槽103側から恒温槽101に向って移送される。テストトレイTSTはローダ部300で被試験ICを積込み、恒温槽101に運び込まれる。恒温槽101には垂直搬送手段が装着されており、この垂直搬送手段によって複数枚のテストトレイTSTが支持されてテストチャンバ102が空くまで待機する。この待機中に被試験ICに高温又は低温の温度ストレスを印加する。テストチャンバ102にはその中央にテストヘッド104が配置され、テストヘッド104の上にテストトレイTSTが運ばれて被試験ICをテストヘッド104に電気的に接触させ試験を行なう。試験が終了したテストトレイTSTは除熱槽103で除熱し、ICの温度を室温に戻し、アンローダ部400に排出する。

【0005】IC格納部200には被試験ICを格納する被試験ICストッカ201と、試験の結果に応じて分類されたICを格納する試験済ICストッカ202とが設けられる。被試験ICストッカ201には被試験ICを格納した汎用トレイKSTが積層されて保持される。この汎用トレイKSTがローダ部300に運ばれ、ローダ部300に運ばれた汎用トレイKSTからローダ部300に停止しているテストトレイTSTに被試験ICを積み替える。汎用トレイKSTからテストトレイTSTにICを運び込むIC搬送手段としては図10に示すように、基板105の上部に架設した2本のレール301と、この2本のレール301によってテストトレイTSTと汎用トレイKSTとの間を往復（この方向をY方向とする）することができる可動アーム302と、この可動アーム302によって支持され、可動アーム302に沿ってX方向に移動できる可動ヘッド303とによって構成されるX-Y搬送手段304を用いることができる。可動ヘッド303には下向に吸着ヘッドが装着され、この吸着ヘッドが空気を吸引しながら移動し、汎用トレイKSTからICを吸着し、そのICをテストトレイTSTに搬送する。吸着ヘッドは可動ヘッド303に対して例えば8本程度装着され、一度に8個のICをテストトレイTSTに搬送する。

【0006】図11にテストトレイTSTの構造を示す。テストトレイTSTは方形フレーム12に複数のさん13が平行かつ等間隔に形成され、これらさん13の両側、またさん13と対向するフレーム12の辺12aにそれぞれ複数の取付け片14が等間隔に突出形成さ

れ、これらさん13の間、またはさん13及び辺12aの間と、2つの取付け片14とによりキャリア収納部15が配列構成されている。各キャリア収納部15にそれぞれ1個のICキャリア16が収納され、2つの取付け片14にファスナ17によりフローティング状態で取付けられる。ICキャリア16は1つのテストトレイTSTに16×4個程度取付けられる。

【0007】ICキャリア16の外形は同一形状、同一寸法をしており、ICキャリア16にIC素子が収納されれる。ICキャリア16に形成されるIC収容凹部19は、収容するICの形状に応じて決められる。IC収容凹部19はこの例では方形凹部とされている。ICキャリア16の両端部にはそれぞれ取付け片14への取付け用穴21と、位置決用ピン挿入用穴22とが形成されている。

【0008】ICキャリア16内のICの位置ずれや飛出し防止のため、例えば図12に示すようにラッチ23がICキャリア16に取付けられている。ラッチ23はIC収容部19の底面からラッチ23が上方に一体に突出され、ICキャリア16を構成する樹脂材の弾性を利用して、IC素子をIC収容部19に収容する際、又はIC収容部19から取出す際に、IC素子を吸着するIC吸着パッド24と全体としては同時に移動するラッチ解放機構25で2つのラッチ23の間隔を広げた後、ICの収容又は取出しを行う。ラッチ解放機構25をラッチ23から離すと、その弾性力で元の状態に戻り、収容されたICはラッチ23で抜け止めされた状態に保持される。

【0009】ICキャリア16は図13に示すようにICのピン18を下面側に露出して保持する。テストヘッド104ではこの露出したICのピン18をICソケットのコンタクト104Aに押し付け、ICをテストヘッドに電気的に接触させる。このためにテストヘッド104の上部にはICを下向に抑え付ける圧接子20が設けられ、この圧接子20が各ICキャリア16に収納されているICを上方から抑え付け、テストヘッド104に接触させる。

【0010】

【発明が解決しようとする課題】図9乃至図13を用いて説明したように、テストトレイTSTを用いてICを搬送する型式のIC試験装置において、アンローダ部400で試験済のICを汎用トレイKSTに積み換える際に、X-Y搬送手段404はテストトレイTST上の各ICキャリア16に付したアドレスによりICを取り上げたことを記憶器に記憶しており、この記憶を元に取り残しが発生しないように動作しているが、極くまれに取り残しが発生する場合がある。

【0011】アンローダ部400において、ICの取り残しが発生したとすると、ローダ部300では、取り残されたICの上に新たにICを重ねて搭載してしまうこ

5 とになる。このために、2段重ねされたICはテストトレイの面から突出し、恒温槽101の内部で上側に他のテストトレイが積み重ねられるとき、2段重ねによって上方に突出したICは他のテストトレイによって引きずられて落されたり、破損事故を発生したりする不都合が生じる。

【0012】ICが恒温槽101の内部でテストトレイTSTの上から落下するような事故が起きた場合は、恒温槽101内の下部に設けられている搬送装置等に落下したICが干渉し、搬送不能となる事故が起きるおそれもある。また、仮に積み重ねられたICがこぼれ落ちることなくアンローダ部400に搬出された場合には、下側のICの試験結果により、上側のICが分類されてしまふため誤った分類が行われてしまう不都合も生じる。

【0013】ローダ部において被試験ICを汎用トレイからテストトレイに積み換え、テスト部においてICを試験し、試験終了後はアンローダ部でテストトレイから汎用トレイに試験済ICを積み換え、空のテストトレイをアンローダ部からローダ部に送り込んで被試験ICをテストトレイに積み込むことを繰返すIC試験装置において、この発明の目的はテストトレイ上にICが取り残されてしまう事故或いはICを搭載したテストトレイからICがこぼれ落ちたことを検出することができるIC試験装置を提供しようとするものである。

#### 【0014】

【課題を解決するための手段】この発明の請求項1では、ローダ部においてICをテストトレイに積み込んだ後、テストを行ない、テスト終了後にアンローダ部においてテストトレイから汎用トレイにICを移し換え、空のテストトレイをアンローダ部からローダ部に送り込み、この空のテストトレイに新たな被試験ICを積み込んで連続的にICを試験するIC試験装置において、アンローダ部とローダ部との間に移動中のテストトレイ上にICが存在するか否かを検出するIC検出センサを設け、テストトレイ上にICが取り残された状態を検出することができるよう構成したものである。

【0015】この発明の請求項2ではテスト部からアンローダ部に向かって搬送中のテストトレイ搬送路上に、空のICキャリアが存在するか否かを検出するIC検出センサを設けたIC試験装置を提供しようとするものである。この発明の請求項3ではローダ部からテスト部に向かって搬送されるテストトレイ搬送路上にテストトレイのICキャリアが空になっているか否かを監視する機能を具備したIC試験装置を提供しようとするものである。

【0016】この発明の請求項1の構成によれば、アンローダ部からローダ部に向かって移動中のテストトレイ上にICが取り残されていたとしても、そのICの存在を検出することができる。ICがテストトレイ上に取り残されていた場合には、そのICの存在をIC検出センサ

によって検出することができるから、ローダ部においてそのICを取り除くことができる。この結果ICが恒温槽内で下部に落下する等の事故が起きることはなく、安全性の高いIC試験装置を提供することができる。

【0017】この発明の請求項2の構成によればテスト部において、テストトレイからテスト済のICがこぼれ落ちて紛失してしまっても、テストトレイをテスト部からアンローダ部に搬送している間にICを紛失したICキャリアの位置を検出することができる。よってアンローダ部ではそのICキャリアについて分類作業を中止させることができ、誤った分類をしてしまうことを防止することができる。

【0018】この発明の請求項3の構成によればローダ部からテスト部に向かってテストトレイを搬送している間に、ICがテストトレイから落下したとしても、テストトレイがテスト部に搬送されるまでの間に空になったICキャリアを検出することができる。従ってテスト部では空のICキャリアに対してテスト動作を中止し、次のICをテストすることができるため、無駄な時間を費やさなくて済む利点が得られる。

#### 【0019】

【発明の実施の形態】図1にこの発明の実施例を示す。図中TST<sub>1</sub>はアンローダ部400に停止中のテストトレイ、TST<sub>2</sub>はローダ部300に停止中のテストトレイを示す。この実施例ではアンローダ部400とローダ部300との間にIC検出センサ500を設けた場合を示す。従ってこの場合のIC検出センサ500はテストトレイTSTに設けた各ICキャリア16(図11参照)にICが残されているか否かを検出する動作を行なう。

【0020】IC検出センサ500はテストトレイTSTに装着したICキャリア16の配列個数に対応して設ける。つまり、テストトレイTSTの移動方向と直交する方向に装着したICキャリア16の配列個数が4個であった場合は4個のIC検出センサ500をICキャリア16の配列ピッチで設ければよい。テストトレイTSTが通過する面の上側に例えば光源501を装着し、テストトレイTSTが通過する面の下側に受光器502を装着する。各ICキャリア16の底板の部分に図2及び図3に示すように孔16Aを形成し、孔16Aの部分で受光器502が光源501の光を受光するか否かを読込む。このためにはテストトレイTSTを構成する方形フレーム12の進行方向と平行する辺にタイミング検出マーク503を設ける。図1に示す例では反射マーク503Aと非反射部分503Bの組合せによりタイミングマーク503を構成した場合を示す。従ってICキャリア16の配列線上の位置(孔16Aの配列線上の位置)を別に設けたタイミング検出センサ504で検出し、このタイミング検出センサ504が例えば反射マーク503Aから反射する光を検出しているタイミングで、IC検

出センサ500が孔16Aを透過する光を検出するか否かによってICの有無を検出するように構成することができる。

【0021】上述の実施例ではアンローダ部400からローダ部300に搬送されるテストトレイ上にICが取り残されているか否かを検出する構成とした例を説明したが、IC検出センサ500を例えればローダ部300からテストヘッド104の間の部分及びテストヘッド104とアンローダ部400との間にも設け、テストトレイTSTがローダ部300からテストヘッド104に搬送している間にテストトレイTSTからICが落下し、空のICキャリア16が存在すること、及びテストヘッド104においてテスト中にICがテストトレイTSTからこぼれ落ちて空のICキャリア16が存在することを検出するように構成することもできる。

【0022】IC検出センサ500を設ける位置の組合せとしてはアンローダ部400とローダ部300との間の位置と、テストヘッド104とアンローダ部400との間の組合せが第1の組合せとすれば、アンローダ部400とローダ部300との間の位置及び、ローダ部300とテストヘッド104との間の位置の組合せを第2の組合せとして考えられる。また第3の組合せとして、上述した全ての位置にIC検出センサ500を設けることも考えられ、これら何れの組合せを探ってもIC試験装置の信頼性を高めることができる。

【0023】尚、反射マーク503Aと非反射マーク503Bとの関係は図3に示す状態の反対の状態に形成してもよい。また、IC検出センサ500としては透過形の光センサだけでなく、金属（IC内の金属）を検出する近接スイッチ、或はパターン認識機能を持つカメラ等によってIC検出センサ500を構成することもできる。

【0024】図4にICの有無を検出するIC検出センサ500と、このIC検出センサ500に関連する回路構成の一例を示す。図4に示す500A～500DはICの有無を検出するIC検出センサを示す。これら各IC検出センサ500A～500Dの検出信号は光が透過した状態（光源501の光が受光器502に受光された状態）でL論理を出力するものとする。またICの配列位置を検出するタイミング検出センサ504は反射光を受光するとL論理を出力するものとして説明する。

【0025】タイミング検出センサ504は方形フレーム12に付した反射マーク503Aを検出し、反射マーク503Aを検出する毎にその検出信号はL論理に落ちる信号S1-1, S1-2, …（図5A）を出力する。S1-1は第1の反射マークを検出した信号、S1-2は第2の反射マークの検出信号を示す。IC検出センサ500A～500Dはそれぞれ反射マーク503Aのほぼ中央位置付近でICキャリア16に形成した孔16Aの透過光を受光し、孔16Aが通過する間、L論理に落

10

20

30

40

50

ちる信号S2-1, S2-2, …（図5B）を出力する。S2-1はICが存在しない場合の検出信号、S2-2はICが存在する場合のIC検出センサの検出信号を示す。尚、検出信号S2-1, S2-2, …に混在する信号N1, N2, N3, N4, N5はそれぞれ図3に示したICキャリア16に形成したスリット16BとICキャリア16の相互の間に形成される間隙16Cで発生する検出信号である。

【0026】タイミング検出センサ504の検出信号S1-1, S1-2, …は割込信号発生回路505に供給される。割込信号発生回路505では検出信号S1-1, S1-2, …の立下りと立上りのタイミング毎に割込信号INT-1, INT-2を発生する。割込信号INT-1で制御器507は割込動作を開始し、割込信号INT-2で割込動作を終了する。

【0027】制御器507は例えばマイクロコンピュータで構成される。マイクロコンピュータは周知のように、一般にCPUと呼ばれる中央演算処理装置507Aと、プログラム等を格納したROM507Bと、読み込みデータ等を一時記憶するRAM507Cと、入力ポート507D、出力ポート507E、割込用入力ポート507F等によって構成される。割込信号INT-1及びINT-2は入力ポート507Fを通じて中央演算処理装置507Aに取込まれ、中央演算処理装置507Aを割込動作させる。中央演算処理装置507Aは割込動作の開始毎に出力ポート507Eを通じて図5Dに示すクリア信号CLRを出力する。このクリア信号CLRによってIC検出センサ500A～500Dの検出信号をラッチするラッチ回路506A～506Dの状態をクリア（リセット）する。各ラッチ回路506A～506Dはクリアされることによりラッチ出力は図5Eに示すように、H論理に反転する。このラッチ回路506Aには図5Bに示した検出信号S2-1, S2-2, …とスリット16B等を検出した信号N1, N2, N3, N4, N5が入力される。

【0028】ラッチ回路506A～506DはH論理をラッチしている状態で各IC検出センサ500A～500Dの検出信号がL論理に立下るとき、ラッチ出力はH論理からL論理に立下る。従ってタイミング検出センサ504が反射マーク503Aを検出し、割込開始時点で各ラッチ回路506A～506Dをクリアした直後にIC検出センサ500A～500Dの出力がL論理に立下ると各ラッチ回路506A～506Dはラッチ出力をL論理に反転する。図5Eに示す時点T1はこの様子を示す。

【0029】反射マーク503Aがタイミング検出センサ504の位置を通過すると割込動作が終了する。このとき中央演算処理装置507Aは図5Fに示す読み込み指令信号REDを発生し、入力ポート507Dを通じて各ラッチ回路506A～506Dのラッチ出力を読み込む。読み

9  
込んだ結果がL論理であればICキャリア16にICが存在しないことが解る。ICキャリア16にICが存在する場合は時点T2以後に示すように、ラッチ回路500Aのラッチ出力はH論理に保持された状態に維持されるから制御器507は例えばこの例では時点T2以後においてラッチ回路506Aに関してH論理を読込む。従ってこのH論理を読込むことにより中央演算処理装置507AはICの存在を検知し、例えば表示器508にICの存在を表わす表示を行なう。表示器508は各ラッチ回路506A～506Dのそれぞれに関して別々に表示することができる。また反射マーク503Aの個数を計数することにより、テストトレイTEST上のICキャリア16の位置を特定して表示することもできる。

【0030】ここでIC検出センサ500A～500DはICキャリア16に形成した孔16A以外でも透過光を検出する。つまり、ICキャリア16には孔16A以外にスリット16Bと、各ICキャリア16の相互間に間隙16Cが存在する。従ってこれらスリット16B及び間隙16Cで図5Bに示すように雑音信号N1, N2, N3, N4, N5が発生したとすると、図5に示す例では雑音信号N1とN5はラッチ回路506AがH論理をラッチしている状態で発生した状態を示している。従って、この状態では雑音信号N1とN5によってラッチ回路506Aのラッチ内容をL論理に書き替えてしまうが、この誤ったデータは次に反射マーク503Aが到来した時点で各ラッチ回路がクリアされることにより除去される。従って雑音信号N1～N5が存在しても誤ったデータを読込むことはない。

【0031】上述の説明では制御器507はラッチ回路506A～506DがL論理をラッチしている状態を正常として説明した。この論理はアンローダ部400からローダ部300に送られる空になっているはずのテストトレイTESTにICが存在するか否かを検出する場合に用いられる。これに対し、ラッチ回路506A～506DにH論理をラッチしている状態を正常と制御器507に判定させることもできる。この論理はローダ部300でICを搭載した後、アンローダ部400に排出されるまでの間にICがテストトレイTESTから落下したか否かを検出する場合に用いることができる。従って図4で説明したIC検出方法はICが存在する場合、ICが無くなっている場合の何れの検出も可能である。尚、上述ではICキャリア16の配列線の中央(孔16Aの位置)を検出するタイミングマークとして反射マーク503Aと非反転マーク503Bを用いた場合を説明したが、反射マーク503A及び非反射マーク503Bの代りに、方形フレーム12にスリット(貫通孔)を形成し、このスリットによってICキャリア16に形成した孔16Aの位置を特定するように構成することもできる。

【0032】図6はタイミング検出方法の他の例を示

す。この例ではタイミングマークを反射マーク503Aに代えて各ICキャリア16に設けられている位置決用ピン挿入孔22を用いた場合を示す。図6に示す実施例ではテストトレイTESTの進行方向と直交する方向で最も離れた位置にある位置決用ピン挿入孔22を2個選定してタイミング検出用とした場合を示す。504Aと504Bはタイミング検出センサ、500A～500DはIC検出センサを示す。

【0033】図7にこの場合のIC検出回路の構成を示す。図の例では4列のICキャリア列を検出する構成を示すが、各列の構成は全て同じであるため1列目の構成と動作についてだけ説明することにする。各検出列で必要とする構成はタイミング検出センサ504A, 504Bと、このタイミング検出センサ504Aと504Bが送出する信号を取り出すノアゲートNORと、IC検出センサ500Aの検出信号を取り出すアンドゲートANDと、タイミング検出センサ504Aと504Bが位置決用ピン挿入孔22を検出している状態でIC検出センサ500Aが孔16Aの透過光を検出したことをL論理信号として記憶し、ICが存在した場合にH論理信号を記憶して送出する第1フリップフロップFF1と、この第1フリップフロップFF1が1度でもICの存在を検出し一度でもH論理を送出すると、そのH論理を取り込んでテストトレイTESTが通り過ぎるまでその状態を維持する第2フリップフロップFF2によって構成される。

【0034】ノアゲートNORは図8Aに示すように、タイミング検出センサ504Aと504Bが共に位置決用ピン挿入孔22を検出する毎にH論理となるタイミング信号QAを送出する。このタイミング信号QAの立上りのタイミングで第1フリップフロップFF1はH論理を読込む。IC検出センサ500AはICキャリア16にICが存在しなければ孔16Aの透過光を検出し、孔16Aが通過するまでの間L論理に立下る図8Bに示す信号QBを送出する。第1フリップフロップFF1は信号QBの立下りのタイミングでクリア(リセット)され、L論理を記憶し送出する。第1フリップフロップFF1の出力信号Q1を図8Cに示す。出力信号Q1はタイミング信号QAの立上りのタイミングT1でH論理に立上り、信号QBの立下りでL論理に戻る。

【0035】タイミング信号QAの立下りのタイミングで第2フリップフロップFF2が第1フリップフロップFF1の出力の状態を読み込む。第1フリップフロップFF1の出力がL論理であれば第2フリップフロップFF2はいつまでもL論理の状態を維持する。図7に示す例では2個目のICキャリア16にICが存在する場合を示す。従って2個目のタイミング信号QAがH論理に立上がりっている期間でアンドゲートANDはH論理を出力し続ける。よってタイミング信号QAの立下りのタイミングT3で第2フリップフロップFF2は第1フリッ

プロップFF1が出力するH論理を読み込む(図8E)。

【0036】第2フリップフロップFF2は自己の出力信号をオアゲートOR1を通じて入力端子Dに帰還しているから、一度H論理を読み込むと第1フリップフロップFF1の出力が変化しても図8Dに示すリセット信号RETがL論理に立下るタイミングT4までH論理を出力し続ける。各ICキャリア列に対応して設けたIC検出回路を構成する第2フリップフロップFF2の出力をオアゲートOR2で論理和をとり、出力端子TOに出力することにより出力端子TOには図8Eに示す出力信号OUTを出力する。

【0037】出力端子TOにH論理が出力されたことにより、テストトレイTST上にICが取り残されていることが解る。従って例えば制御器(特に図示していない)に入力することにより、警報を出し、またハンドラの動きを停止させる等の制御を実行させることができる。尚、図7の実施例では空のテストトレイTST上にICが取り残されていることを検出する場合に適用した例を説明したが、ICキャリア16内にICが存在しない場合に第1フリップフロップFF1にH論理を記憶させ、ICが存在する場合にL論理を記憶させるように構成し、H論理の記憶をタイミング信号QAの立下りのタイミングで第2フリップフロップFF2に記憶させるように構成すれば、ローダ部300で積み込んだICが、アンローダ部400に搬出されるまでの間にテストトレイTSTから落下したことを検出する場合にも利用することができる。

【0038】

【発明の効果】以上説明したように、この出願の請求項1の発明によれば、空になったはずのテストトレイTSTにICが取り残されていることを検出する構成を付加したから、ローダ部300において、取り残されたICの上に、新たにICを積み重ねて積み込んでしまう誤動作が起きることを阻止することができる。よってICが例えば恒温槽101の内部でこぼれ落ちて搬送装置を破損させてしまうような事故が起きることを阻止することができる。また、重ねて搭載したICがこぼれ落ちるところなくアンローダ部400に搬出された場合、下側のICの試験結果に従って、上側のICが分類されてしまい、誤った分類をしてしまう不都合も解消することができる。

【0039】更に、この出願の請求項2の発明によればテスト部におけるテスト中及びテスト部からアンローダ部400にテストトレイが搬送される間にICがテストトレイTSTからこぼれ落ちたとしても、その状態を検出することができる。よって、ICが存在しないテストトレイTST上のICキャリアから、記憶部に記憶した試験結果に従ってICを仮想的に分類してしまう誤動作を防止することができ、誤った分類をしてしまうおそれ

を除去することができる。

【0040】また、この出願の請求項3の発明によればローダ部300からテスト部にテストトレイを搬送される間にICが落下する事故或いはローダ部300でICの積込みを失敗した場合等が発生し、テスト部に運ばれたテストトレイTSTに空のICキャリアが存在しても、その部分ではテストを中止させることができる。この結果、無駄な時間を掛けることを防止できる利点が得られ、信頼性の高いIC試験装置を提供することができる。

【0041】更に、請求項4乃至6で提案するように、ICの存在を検出するIC検出センサをハンドラの各所に配置することにより、ローダ部に送られるテストトレイTSTにICが残されていること以外に、恒温槽の内部でICがテストトレイから落下したことを検出することもでき、ハンドラの信頼性を高めることができる。また、請求項7乃至10で提案したようにタイミングマークによってICキャリアにICが存在するか否かを検出する構成としたことによって、テストトレイ上のICの存否を確実に検出することができる実益が得られる。

【図面の簡単な説明】

【図1】この発明の一実施例を説明するための斜視図。

【図2】この発明の要部の構成を説明するための断面図。

【図3】この発明の要部の構成を説明するための斜視図。

【図4】この発明に用いるIC検出回路の一例を説明するためのブロック図。

【図5】図4に示したIC検出回路の動作を説明するための波形図。

【図6】この発明に用いるIC検出方法の他の例を説明するための平面図。

【図7】図6に示したIC検出方法に用いるIC検出回路の一実施例を説明するための接続図。

【図8】図7の動作を説明するための波形図。

【図9】従来の技術を説明するための略線的平面図。

【図10】従来の技術を説明するための斜視図。

【図11】従来から用いられているテストトレイの構造を説明するための分解斜視図。

【図12】テストトレイに装着されるICキャリアの詳細構造を説明するための斜視図。

【図13】図12と同様の断面図。

【符号の説明】

TST テストトレイ

12 方形フレーム

16 ICキャリア

16A 孔

22 位置決用ピン挿入孔

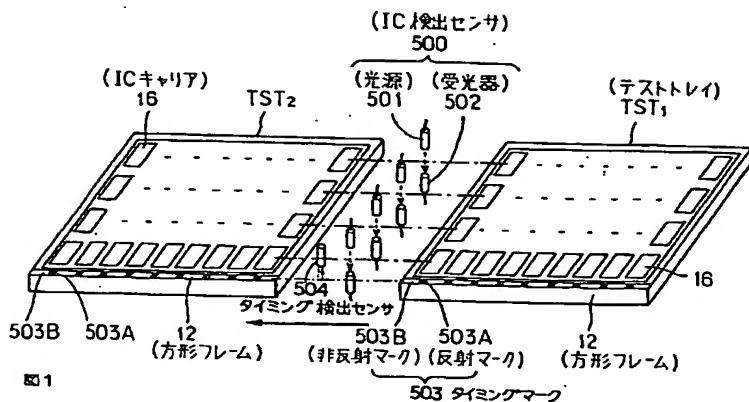
300 ローダ部

400 アンローダ部

500 IC検出センサ  
501 光源  
502 受光器

503 タイミングマーク  
504 タイミング検出センサ

【図1】



【図13】

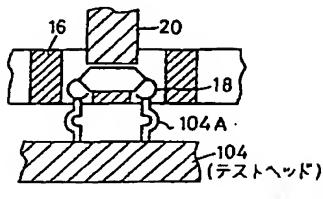
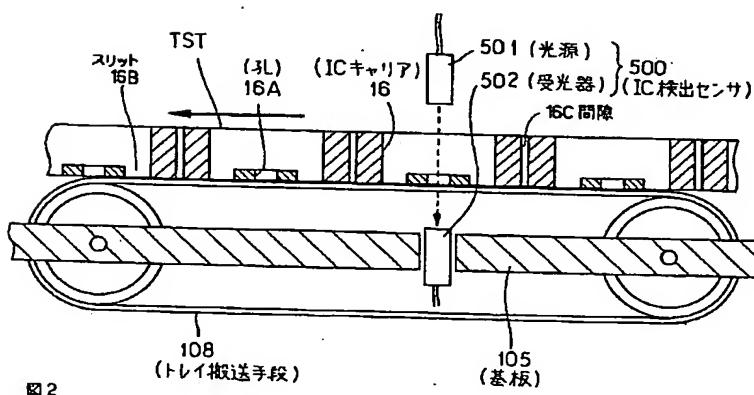


図13

【図2】



【図3】

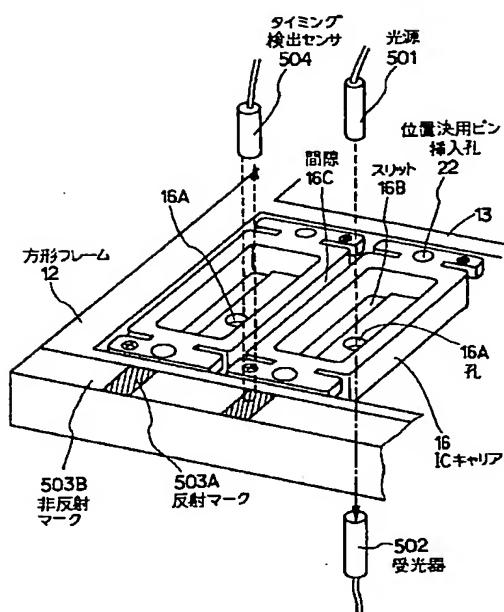


図3

【図5】

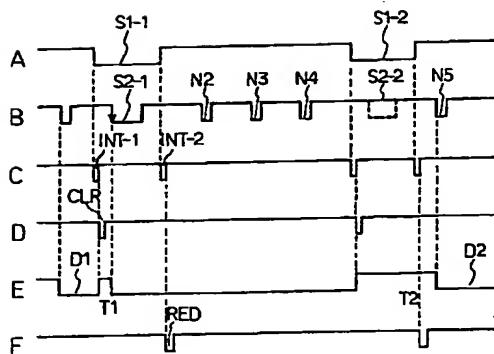


図5

【図12】

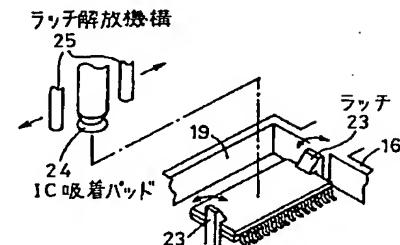


図12

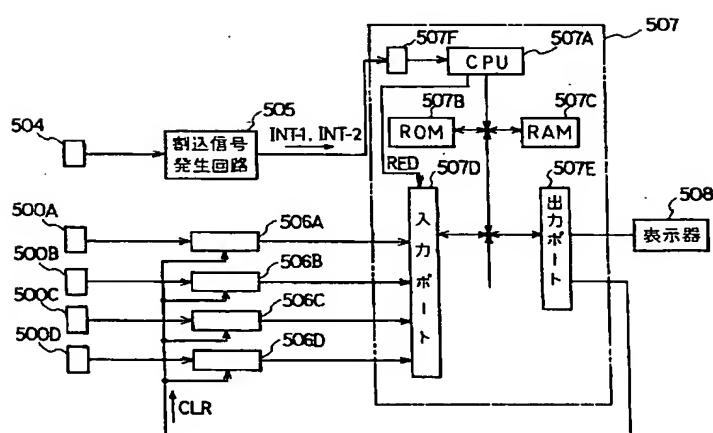
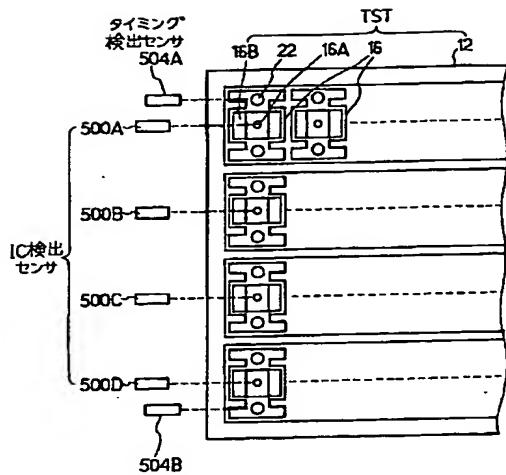


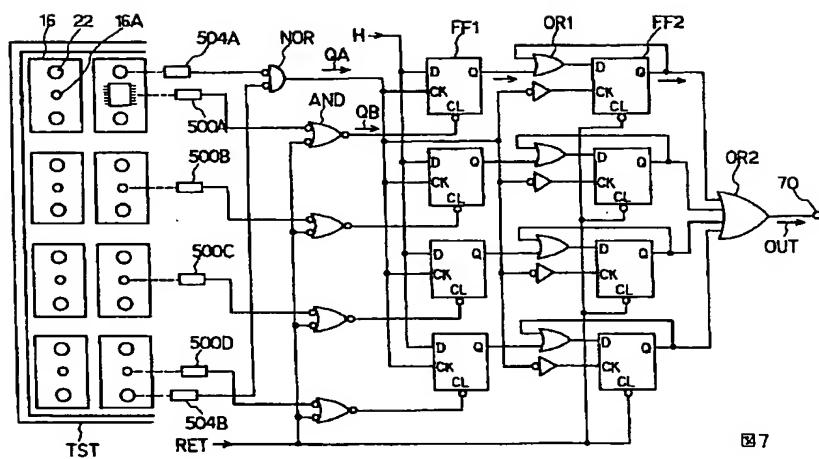
図4

[図6]



36

〔図7〕



7

【図8】

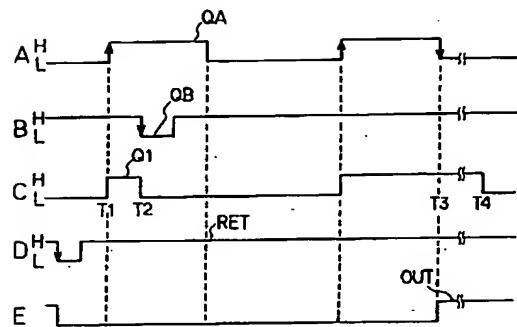
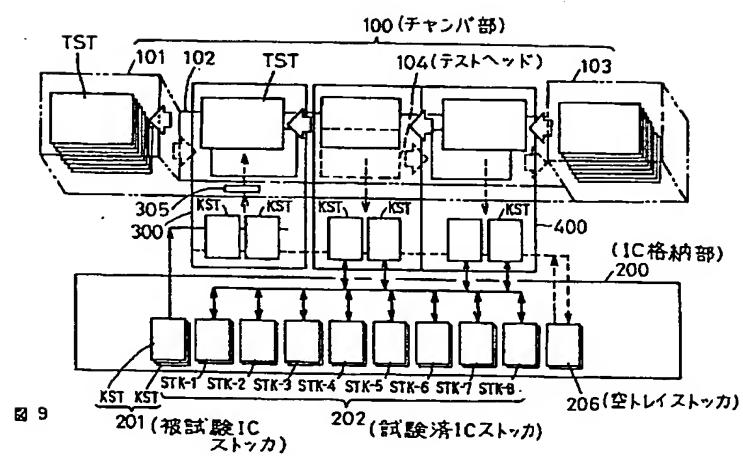


図8

【図9】



【図10】

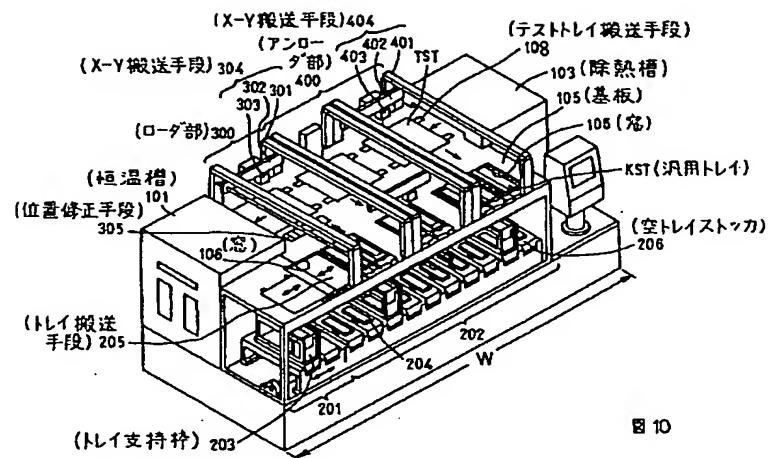
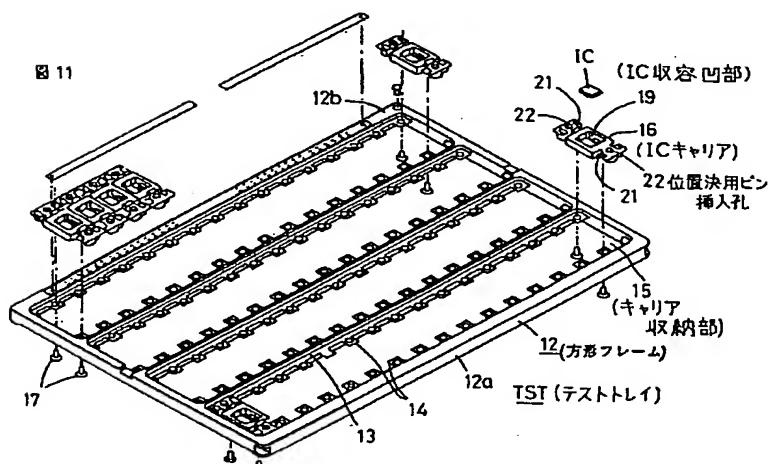


図10

【図11】



フロントページの続き

(72)発明者 千葉 道郎

東京都練馬区旭町1丁目32番1号 株式会  
社アドバンテスト内